

BluePearl 宣布推出增强的 SystemVerilog 和 FPGA EDA 软件套件 6.0

软件将在 2012 年 2 月 28-29 日的 DVCon 会议上演示

加利福尼亚州圣何塞-2012 年 2 月 16 日-Blue Pearl Software 作为提高设计效率和设计质量的下一代 EDA 软件供应商，宣布推出其 EDA 软件 [Blue Pearl Software Suite 6.0](#)，这次的版本包括 Windows 和 Linux 操作系统，加强对 SystemVerilog 和 VHDL 和 FPGA 设计支持。

Blue Pearl 的产品行销总监 Shakeel Jeeawoody 如此描述新版本：“我们的 6.0 版本改进了对 SystemVerilog，VHDL 和 FPGA 综合流程的支持，设计师现在可以在同一个设计中混合并匹配不同硬件语言，并按照其下游的工具进行语言的检查。”

[Blue Pearl Software Suite](#) 提供全面的 RTL 分析，时钟域交叉（CDC）的检查，并自动为 FPGA，ASIC 和 SOC 设计添加 SDC 约束。软件的可视化和验证技术可以对自动生成的时序约束的验证提供即时反馈。

6.0 版包括以下特性:

多语言支持	<i>我们已经添加了完整的 SystemVerilog 和 VHDL 语言支持，现在设计师可以在同一设计中混合/匹配 Verilog，SystemVerilog 和 VHDL 的任意组合。</i>
最长路径浏览器	<i>现在用户可以使用新的最长路径浏览器可视化的查看设计最长的路径。</i>
FPGA 综合流程的改进	<i>改进的 Synplify Pro 的流程可以更好地处理 SDC 约束</i>
对有限状态机问题的支持的改进	<i>提高对无法达到状态的检测。</i>
对过滤处理改进	<i>现在用户可以一次选择多个信息申请过滤。</i>
对分析报告查看器的信息查看机制改进	<i>当前选定的消息文本充分显示在下面的总体报告。</i>
更容易设置/验证 DFT 检查	<i>现在用户可以从 GUI 中指定初始化模式，扫描链和测试序列</i>
更加严格的语言检查	<i>该工具现在可以为流程中的下游产品进行更加严格的语言检查。</i>
改进对-f 文件的支持	<i>现在用户可以指定 a.f 文件并使用 GUI 来指定其他的输入文件。</i>

[更多详情](#)

[Blue Pearl Software Suite](#) 将会在 [Design and Verification Conference](#)（2月28-29日）进行演示。FPGA 设计者可以通过注册 <http://www.bluepearlsoftware.com/fpga/> 了解更多情况。Blue Pearl 也提供 [hands-on workshops](#) 和 [software evaluations](#)。

价格和供货

[Blue Pearl Software Suite](#) 6.0 版目前开始供货。请联系 sales@bluepearlsoftware.com 安排演示, 询问价格或者升级信息。

关于 Blue Pearl Software

[Blue Pearl Software, Inc.](#) 公司通过创新的技术提供下一代 EDA 软件，在数字设计的早期减少设计流程迭代和提高设计师的效率。[Blue Pearl Software Suite](#) 对 RTL 设计进行功能性错误检查，并自动生成全面和准确的设计约束（SDC）以改善结果（QOR）和降低 FPGA 和 ASIC 设计的风险。

访问 Blue Pearl Software 网页 <http://www.bluepearlsoftware.com>。